



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **01192174 A**(43) Date of publication of application: **02.08.89**

(51) Int. Cl

H01L 29/78(21) Application number: **63016484**(22) Date of filing: **27.01.88**(71) Applicant: **HITACHI LTD**(72) Inventor: **IJIMA TETSUO
MURAMATSU AKIRA**(54) **SEMICONDUCTOR DEVICE**

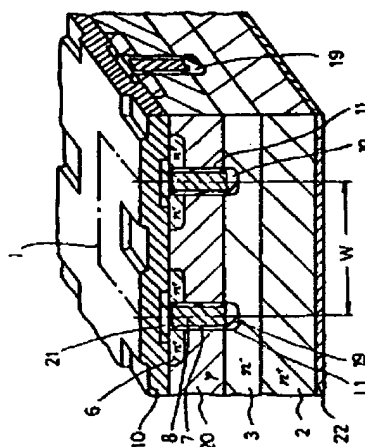
(57) Abstract:

PURPOSE: Not only to improve a device in breakdown strength but also micronize a cell in size by a method wherein a trench is provided so as to reach to a drain region, a gate oxide film is formed on the inner wall of the trench, and the oxide film formed on the base of the trench is made thicker than one formed on the side wall or other parts of the trench.

CONSTITUTION: A source region 6 is formed on a primary face of a semiconductor substrate 2 in a grating. A trench (deep groove) 11 is provided along a center of the source region 6. The base of the trench 11 reaches an epitaxial layer 3 or a superficial layer of the semiconductor substrate 2 penetrating a channel forming layer 20. A gate oxide film 7 is provided covering the inner wall of the trench 11. The gate oxide film 7 is 500 μ m in thickness at the side wall of the trench and 2000 μ m \sim 3000 μ m thick at the base of the trench 11. A device of this design is formed in such a structure that the gate oxide film 7 is provided onto the wall of the trench 11 and a gate electrode buried in the trench 11, so that the cell can be diminished in size. A gate oxide film formed on the base of a trench is made thick, wherefore an electric field

between a gate and a drain is alleviated and the drain is improved in breakdown strength.

COPYRIGHT: (C)1989,JPO&Japio



⑫ 公開特許公報(A) 平1-192174

⑤Int. Cl.⁴

識別記号

庁内整理番号

⑬公開 平成1年(1989)8月2日

H 01 L 29/78

3 2 1

V-8422-5F

審査請求 未請求 請求項の数 4 (全10頁)

⑭発明の名称 半導体装置

⑮特 願 昭63-16484

⑯出 願 昭63(1988)1月27日

⑰発明者 飯島 哲郎 群馬県高崎市西横手町111番地 株式会社日立製作所高崎工場内

⑱発明者 村松 彰 群馬県高崎市西横手町111番地 株式会社日立製作所高崎工場内

⑲出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳代理人 弁理士 菊田 純一

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

1. 半導体基板主面に設けられたトレンチと、このトレンチの内壁面を被う絶縁膜とを有する半導体装置であって、前記トレンチの底部の絶縁膜はトレンチ側壁の絶縁膜の厚さに比較して厚く形成されていることを特徴とする半導体装置。
2. 前記トレンチの底部の絶縁膜はトレンチ側壁の絶縁膜の厚さに比較して少なくとも1.5乃至2倍以上の厚さとなっていることを特徴とする特許請求の範囲第1項記載の半導体装置。
3. 第1導電型の半導体基板と、この半導体基板の主面に設けられた第2導電型のチャネル形成層と、前記チャネル形成層表面に部分的に設けられた第2導電型からなるソース領域と、前記ソース領域の中央部に設けられかつ前記チャネル形成層を貫いて前記基板に達するトレンチと、前記トレンチの内壁面を被うゲート酸化膜と、

前記ゲート酸化膜に重なりかつ前記トレンチを埋め込んだゲート電極と、前記ゲート電極およびトレンチならびにトレンチ周縁部分のソース領域を被う絶縁膜と、前記ソース領域およびチャネル形成領域に電氣的に接触するソース電極と、前記基板の裏面に設けられたドレイン電極とを有することを特徴とする半導体装置。

4. 前記半導体基板の表面は一定の厚さに亘って不純物濃度が低い層が設けられ、この不純物濃度が低い層上に前記チャネル形成層が設けられていることを特徴とする特許請求の範囲第3項記載の半導体装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、半導体装置、特にパワーMOSFET(メタル・オキシド・セミコンダクタ型電界効果トランジスタ)単体またはパワーMOSFETを組み込んだMOSIC等の半導体装置に関する。

(従来の技術)

パワーMOSFETは、周波数特性が優れ、スイッチングスピードが速く、かつ低電力で駆動できる等多くの長を有することから、近年多くの産業分野で使用されている。たとえば、日経マイクロヒル社発行「日経エレクトロニクス」1986年5月19日号、P165～P188には、パワーMOSFETの開発の焦点は、低耐圧品および高耐圧品に移行している旨記載されている。また、この文献には、耐圧100V以下のパワーMOSFETチップのオン抵抗は、10mΩレベルまで低くなってきていることが記載されており、この理由として、パワーMOSFETの製造にLSIの微細加工を利用したり、セルの形状を工夫したりして、面積当たりのチャンネル幅が大きくなれるようになったことにある旨述べられている。

また、この文献には「低耐圧MOSFETのオン抵抗はチャンネル部の抵抗でほぼ決まる。チャンネル部の抵抗は、並列接続するセルの数を増やせば小さくできる。このため、微細加工が生きる。」とも記載されている。

については、株式会社プレスジャーナル発行「月刊セミコンダクター ワールド (Semiconductor World)」1986年10月号、昭和61年9月15日発行、P65～P69に記載されている。この文献には、ゲート酸化膜形成技術における問題として下記のことが記載されている。すなわち、「トレンチキャパシタにおけるゲート酸化膜形成技術は、必ず存在する凸型、あるいは凹型コーナーにおけるリーク電流をいかに抑えるかに要約される。コーナーにおけるリーク電流増大の原因は大きく分けて2つある。1つはコーナーそのものによる電界集中であり、もう1つはコーナーに形成した酸化膜が薄くなる現象に起因するものである。これに対し、RIEによるトレンチ加工を行った直後の鋭利なコーナーを丸めることにより対処できる。丸められたコーナーではそこに形成されるゲート酸化膜の薄膜化が抑制されるとともに、電界集中も緩和される。」なる旨記載されている。

〔発明が解決しようとする課題〕

さらに、セルの密度を高くする方法に関しては、以下のような記載がある。すなわち、「セルの密度を高くする有効な方法に溝型MOSFETがある。V溝型は以前からある。溝側面がチャンネルとなり、縦方向に電流が流れる。松下は溝の先端部の電界を緩和するためV溝の先端を丸くしたU溝を採用している。セル密度を上げてオン抵抗を小さくするためである。

もっとセル密度を上げるにはSi基板と垂直に溝を掘ればよい。U溝は垂直にはなっていなかった。こうして隣接する垂直溝のピッチが17μmのMOSFETを開発した。耐圧50VのMOSFETのオン抵抗は13mΩ、オン抵抗と面積の積は187mΩ・mm²だった。溝のピッチを10μm以下にしたり、溝を深くすれば、オン抵抗はもっと下がる。」と記載されている。

一方、MOSメモリにおいては、より高集積度化を提供した構造として深溝(トレンチ)を利用してキャパシタを形成したトレンチキャパシタが開発されている。たとえば、トレンチキャパシタ

近年パワーMOSFETは、微細化技術の進歩に伴い、10mΩレベルまで低オン抵抗化が進んできた。この微細化技術は、MOSFETの単位セルサイズを20μm程度まで縮小したことにより実現できたものである。各社共低オン抵抗(R_{on})化の傾向は低耐圧60V～100Vクラスで顕著であるが、微細化により、浅い接合での耐圧特性の確保および平面構造(DSAタイプ)のホトレジスト上の制約からセル縮小には限度がある。

第13図は従来のプレーナ型縦型MOSFETの断面構造である。MOSFETのセル1は、第1導電型、たとえば、n⁺形のシリコン(Si)からなる半導体基板2上に設けられたn⁻形のエピタキシャル層3の表層に縦横に規則正しく複数整列形成される。

前記エピタキシャル層3の表層部分には略矩形状となるp形のウェル領域4が設けられる。このウェル領域4は半導体基板2の主面に縦横に一定間隔(c)隔てて複数形成される。したがって、前記半導体基板2の主面には、cなる幅を有しか

つ格子状に前記エピタキシャル層3が露出するようになり、ドレイン表層部5を形成する。

また、前記ウェル領域4の表面領域には、ウェル領域4の周囲に沿ってリング状に n^+ 形のソース領域6が設けられている。また、前記ウェル領域4の外周部上、すなわち、ドレイン表層部5に沿う格子部分には、ゲート酸化膜7およびこのゲート酸化膜7上に設けられたゲート電極8ならびにゲート電極8およびゲート酸化膜7を被う絶縁膜9が設けられている。また、半導体基板2の主面にはソース電極10が設けられ、裏面には図示はしないドレイン電極が設けられている。前記ソース電極10は前記ソース領域6およびドレイン表層部5に電気的に接触する構造となっている。

このようなMOSFETのセルにおいて、セルサイズの寸法を制約する部分は大きく分けてa～dとなる。aはゲート・ソース間の絶縁距離、bはチャネル長、cはベース接合間のドレイン領域長、dはソースコンタクト長である。これらのうち、aとdは微細化に伴い短縮方向にあるが、b、

cは素子特性（耐圧、オン抵抗等）から最適長があり制約をうける。

そこで、本発明者は、溝幅が最も狭いトレンチを利用してパワーMOSFETセルを形成すれば、一層セルサイズの小型化が図れることに気が付いた。

しかし、従来技術によるトレンチを利用してそのままパワーMOSFETセルを形成した場合、つぎのような問題が生じる。

すなわち、第14図に示されるように、半導体基板2に設けたトレンチ11の内壁にゲート酸化膜（絶縁膜）7を設け、その後ゲート酸化膜7に重ねるようにしかつトレンチ11を埋めるようにゲート電極8を設けた場合、前述のように、従来技術によるトレンチ11にあっては、トレンチ11の底の隅（コーナーE₁）では、絶縁膜形成時膜の成長状態が悪く、E₁の部分に設けられた膜質は悪くかつ膜厚も薄くなるという問題が生じる。この結果、絶縁膜の耐圧が低下し、ゲート電極8と半導体基板2で構成されるドレインとの間でブ

レイクダウンが発生してしまう。

また、ドレイン・ゲート間に電圧を印加すると、トレンチ底隔部の基板部分E₂に電界が集中して耐圧特性の低下が生じ、全体として破壊耐量の低下が起きるといった従来のVMOS構造と同一の問題が生じる。

本発明の目的はMOSFETのセル寸法を微細化できる構造の半導体装置を提供することにある。

本発明の他の目的は、破壊耐量の大きいパワーMOSFETを提供することにある。

本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面からあきらかになるであろう。

〔課題を解決するための手段〕

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

すなわち、本発明のトレンチ型縦型パワーMOSFETは、ドレインとなる半導体基板の主面にチャネルを形成するためのチャネル形成層が設け

られているとともに、このチャネル形成層の表層部にソース領域が設けられている。また、このソース領域の中央には、前記ドレイン領域に達するトレンチが設けられ、かつこのトレンチの内壁にはゲート酸化膜が設けられている。このゲート酸化膜にあっては、前記トレンチ底の膜厚がトレンチ側壁等他の部分よりも厚くなっている。また、このゲート酸化膜上には、トレンチを埋めるようにゲート電極が設けられている。さらに、前記ゲート電極表面は絶縁膜で被われるとともに、この絶縁膜上にはソース領域とチャネル形成層に接触するソース電極が設けられている。

〔作用〕

上記した手段によれば、本発明のトレンチ型縦型パワーMOSFETは、ドレイン上に設けられたチャネル形成層の一部表面に設けられたソース領域の中央に前記ドレインに達するトレンチが設けられ、かつこのトレンチにはゲート酸化膜を介在させてゲート電極が設けられた構造となっていることから、セルを小型にすることができ、オン

抵抗を小さくできるとともに、チップサイズの小
型化あるいは高集積度化が達成できる。また、本
発明のトレンチ型縦型パワーMOSFETは、ト
レンチ内壁に設けられたゲート酸化膜の厚さがト
レンチ側壁の厚さに比較して4乃至6倍以上と厚
くなっていることから、ゲート酸化膜の膜質が必
ずしも良好でなくとも、絶縁耐圧が向上すると
ともに、トレンチ底コーナ部分の電界集中が緩和さ
れ絶縁耐圧が向上する。

(実施例)

以下図面を参照して本発明の一実施例について
説明する。

第1図は本発明の一実施例による縦型パワーM
OSFETの一部を示す斜視図、第2図は同じく
縦型パワーMOSFETの製造工程を示すフロー
チャート、第3図～第12図は同じく縦型パワー
MOSFETの各製造段階を示す図であって、第
3図はソース領域が形成されたウエハの断面図、
第4図はトレンチが設けられたウエハの断面図、
第5図は二層に絶縁膜が設けられたウエハの断面

る厚さ $100\mu\text{m}$ 前後の n^+ 形(第1導電形)の
シリコンからなる半導体基板2の主面(上面)に
設けられる。すなわち、半導体基板2の主面には
不純物濃度が 10^{18}cm^{-3} 程度となる厚さ $5\mu\text{m}$
～ $10\mu\text{m}$ の n^+ 形のエピタキシャル層3が設け
られているとともに、このエピタキシャル層3の
上には不純物濃度が 10^{17}cm^{-3} 程度となる厚さ
 $3\mu\text{m}$ の p 形のチャネル形成層20が設けられて
いる。また、この半導体基板2の主面、すなわち、
チャネル形成層20の表層部には不純物濃度が
 10^{18}cm^{-3} 程度となるソース領域6が設けられて
いる。このソース領域6は半導体基板2の主面に
格子状に設けられる。また、このソース領域6は
その幅が $7\mu\text{m}$ 程度となるとともに、ソース領域
のピッチは $10\mu\text{m}$ 程度となっている。また、前
記ソース領域6は $0.5\mu\text{m}$ の深さとなっている。

一方、前記ソース領域6の中央に沿ってトレン
チ(深溝)11が設けられている。このトレンチ
11は、その幅が $1\mu\text{m}$ となるとともに、深さは
前記チャネル形成層20を貫いて半導体基板2の

図、第6図は上層の絶縁膜が異方向エッチングさ
れた状態を示すウエハの断面図、第7図はLOC
OS法によってトレンチ底の絶縁膜の厚膜化を固
めた状態を示すウエハの断面図、第8図はトレン
チの側壁の絶縁膜を除去した状態を示すウエハの
断面図、第9図はゲート酸化膜を形成した状態を
示すウエハの断面図、第10図はポリシリコン膜
を形成した状態を示すウエハの断面図、第11図
はゲート電極を形成した状態のウエハの断面図、
第12図はソース電極を形成した状態のウエハの
断面図である。

この実施例のトレンチ型縦型パワーMOSFET
におけるその要部、すなわち、セル部分は、第
1図に示されるような構造となっている。同図に
おいて、一点鎖線間Wが断面的な単一のセル1部
分(セル長さ)であり、一点鎖線枠で囲まれる領
域が平面的に見た単一のセル1部分である。この
ようなセル1は、単一の縦型パワーMOSFET
にあって、縦横に規則正しく多数配設されている。

セル1は、不純物濃度が 10^{18}cm^{-3} 程度とな

表層のエピタキシャル層3に達するように、たと
えば、 $5\mu\text{m}$ となっている。また、このトレンチ
11には、トレンチ11の内壁を被うようにゲ
ート酸化膜7が設けられている。このゲート酸化膜
7は、その厚さがトレンチ11の側壁部分で 500\AA
となり、トレンチ11の底部で 2000\AA ～
 3000\AA となっている。また、トレンチ11内
にはゲート酸化膜7に重なりかつトレンチ11を
埋めるようにポリシリコンからなるゲート電極8
が設けられている。また、前記トレンチ11の上
には一定幅を有して絶縁膜21が設けられている。
この絶縁膜21は、たとえば、厚さ 6000\AA の
PSG(リンシリケートガラス)によって形成さ
れ、前記ゲート電極8を被うとともに、トレンチ
11の縁からわずかに張り出してソース領域6の
一部をも被うようになっている。また、前記絶縁
膜21およびソース領域6ならびに露出するチャ
ネル形成層20の表面には、厚さが $3\mu\text{m}$ ～ $3.5\mu\text{m}$
程度となるアルミニウム(Al)からなる
ソース電極10が設けられている。さらに、前記

半導体基板2の裏面(下面)には、厚さ数 μm のドレイン電極22が設けられている。

このようなトレンチ型縦型パワーMOSFETにあっては、トレンチ11の側壁にゲート酸化膜7を設け、かつトレンチ11内にゲート電極8を埋め込む構造となっていることから、セルサイズ(W)を $10\mu\text{m}$ とすることができる。この結果、低耐圧パワーMOSFETのオン抵抗を $2\sim 3\text{m}\Omega$ と小さくできる。また、セルサイズの縮小によって、パワーMOSFETチップの小型化あるいは高集積度化(セル数増大)が達成できる。

また、このトレンチ型縦型パワーMOSFETは、ゲート電極8を狭く深いトレンチ11内に設けているが、トレンチ11の内壁面に設けられたゲート酸化膜7は、FET動作に直接関与するゲート酸化膜以外のトレンチ11の底の部分(この部分を説明の便宜上、以下、厚膜絶縁膜19とも称する。)は、FET動作に直接関与するゲート酸化膜7の 500\AA に比較して、4倍乃至6倍となる $2000\text{\AA}\sim 3000\text{\AA}$ と厚くなっているた

成、ゲート電極形成、ドレイン電極形成の各工程を経て製造される。

トレンチ型縦型パワーMOSFETの製造にあっては、第3図に示されるように、 n^+ 形のシリコンからなる半導体基板2の主面に n^- 形のエピタキシャル層3を有するウエハ(半導体薄板)23が用意される。この半導体基板2は厚さが $40\mu\text{m}$ 程度となるとともに、その不純物濃度は 10^{11}cm^{-3} となっている。また、前記エピタキシャル層3はその厚さが $5\mu\text{m}\sim 10\mu\text{m}$ 程度となっているとともに、不純物濃度は 10^{18}cm^{-3} 程度となっている。そして、この半導体基板2の主面、すなわち、エピタキシャル層3上には $3\mu\text{m}$ の厚さのチャネル形成層20が設けられている。また、このチャネル形成層20の表層部には格子状に n^+ 形のソース領域6が設けられている。このソース領域6はその幅が $7\mu\text{m}$ となるとともに、深さは $0.5\mu\text{m}$ となっている。また、このソース領域6はその不純物濃度が 10^{18}cm^{-3} となっている。また、格子状に設けられたソース領域6

め、ゲート酸化膜の耐圧が向上する。一般に、真性酸化膜耐圧は $8\text{MV}/\text{cm}\sim 10\text{MV}/\text{cm}$ であるが、トレンチ底部では膜質の低下により、耐圧が半分以下になることが予想されるので、膜厚を単純に2倍にすれば、真性酸化膜耐圧に近づけることができる。この例では、ゲート酸化膜7のトレンチ11の底での厚さは、トレンチ11の側壁の厚さの4倍から6倍と厚くなっていることから、真性酸化膜耐圧は充分となる。

また、この構造によれば、トレンチ底のゲート酸化膜の厚膜化によってゲート・ドレイン間の電界も緩和される結果、ドレイン耐圧が向上する。さらに、この例では、ゲート耐圧およびドレイン耐圧の増大により、破壊耐量も向上する。

つぎに、このようなトレンチ型の縦型パワーMOSFETの製造方法について説明する。

トレンチ型縦型パワーMOSFETのセル部分は、第2図のフローチャートに示されるように、エピタキシャル成長、ソース領域形成、トレンチ形成、トレンチ底絶縁膜厚膜化、ゲート酸化膜形

のピッチ(W)は $10\mu\text{m}$ となっている。そして、このピッチWが単一のセル1の長さとなる。

つぎに、第4図に示されるように、ウエハ23の主面には絶縁膜24が設けられるとともに、常用のホトリソグラフィによって、前記ソース領域6の中央に沿ってトレンチ(深溝)11が形成される。このトレンチ11は、ソース領域6の中央に沿って設けられることから、ウエハ23の主面に格子状に設けられることになる。そして、このトレンチ11で取り囲まれた領域、厳密にはトレンチ11の中心に亘るWなる幅領域が単一のセル1となる。前記トレンチ11はその溝幅が $1\mu\text{m}$ 、深さが $5\mu\text{m}$ となり、ソース領域6の下層のチャネル形成層20を貫抜いてエピタキシャル層3に達する。なお、このトレンチ11の形成時、エッチング条件を選択して、トレンチ11の底のコーナー部分が丸みを帯びるようにし、後に重ねて形成する絶縁膜がコーナー部分で薄くなったり、あるいは膜質が悪くなるのをできるだけ防ぐようにする。

つぎに、前記絶縁膜24は除去される。その後、第5図に示されるように、ウエハ23の主面には400Åの厚さのSiO₂膜25およびこのSiO₂膜25上に重ねられる1200ÅのSi₃N₄膜26が設けられる。その後、異方性エッチング（プラズマエッチング）によって、ウエハ23の主面に沿うSi₃N₄膜26部分がエッチングされる。この結果、第6図に示されるように、ウエハ23の主面およびトレンチ11の底面のSi₃N₄膜26が除去され、トレンチ11の略垂直に延在する側壁面にのみSi₃N₄膜26が残留する。

つぎに、この状態で酸化処理（LOCOS法）が施される。すなわち、ウエハ23は酸化処理される結果、第7図に示されるように、ウエハ23の主面およびトレンチ11の底面には2000Å〜3000Åに及ぶSiO₂膜が形成される。この厚いSiO₂膜部分（厚膜絶縁膜19）は、LOCOS処理のため、その両端部分、すなわち、トレンチ11の底コーナー部分がバードピーク構

なる絶縁膜を形成する。この絶縁膜はトレンチ11の側面の部分がゲート酸化膜7として使用される。トレンチ11の底の厚膜絶縁膜19は2000Å〜3000Åとなり、トレンチ11の側面のゲート酸化膜7部分に比較して4〜6倍の厚さとなる。また、トレンチ11の側面からトレンチ11の底に至るコーナー部分でのゲート酸化膜7は、底に向かうにつれて徐々に厚くなるいわゆるバードピーク構造となっている。

つぎに、第10図に示されるように、ウエハ23の主面全域にポリシリコン（Poly Si）膜が蒸着形成される。この際、同時にボロン（B⁺）がドーブされる。この結果、このポリシリコン膜27はその電気抵抗値が低くなる。また、前記ポリシリコン膜27は1μm弱の幅を有するトレンチ11を埋め込むに十分な量形成される。

つぎに、第11図に示されるように、前記ソース領域6の上面よりも上方に存在するSiO₂膜25およびポリシリコン膜27はエッチング除去される。この結果、トレンチ11内にはポリシリ

造となり、トレンチ11の側面からトレンチ11の底に亘る部分では、Si₃N₄膜26の厚さが徐々に厚くなる。

なお、トレンチの側面から底に亘って絶縁膜が徐々に厚くなるこの構造は、トレンチ11の側面のSi₃N₄膜26およびSiO₂膜25を除去しかつ再びゲート酸化膜を形成した場合も残留した厚膜絶縁膜19との兼ね合いから生じ、これが、トレンチ11の底コーナーでの耐圧の向上に繋がることになる。

つぎに、第8図に示されるように、前記Si₃N₄膜26およびトレンチ11の側面のSiO₂膜25をエッチング除去する。前記Si₃N₄膜26は熱リン酸系エッチャントを、厚膜絶縁膜19はふっ酸系エッチャントを用いてエッチングする。この一連のエッチングによって、トレンチ11の底の厚膜絶縁膜19およびウエハ23の主面のSiO₂膜25が残留する。

つぎに、第9図に示されるように、再びウエハ23の主面全域に厚さ500ÅのSiO₂膜から

コン膜27によってゲート電極8が形成されることになる。その後、第12図に示されるように、前記トレンチ11上に厚さ6000ÅのPSG（リンシリケートガラス）膜からなる絶縁膜21が、CVD技術および常用のホトリソグラフィによって形成される。この絶縁膜21はその両側がトレンチ11の縁よりも張り出して、ソース領域6のトレンチ11側縁上に延在している。

つぎに、第12図に示されるように、前記ウエハ23の主面には、3μm〜3.5μmの厚さにアルミニウム（Al）が蒸着され、Alからなるソース電極10が形成される。その後、ウエハ23の裏面（下面）はエッチングされる。このエッチングによって、半導体基板2は100μm程度の厚さとなる。

つぎに、前記ウエハ23の裏面には、ドレイン電極が形成される。これによってトレンチ型縦型パワーMOSFETのセル1の製造が終了する。

このようなトレンチ型縦型パワーMOSFETにあっては、つぎのような効果を奏することにな

る。

(1) 本発明のトレンチ型縦型パワーMOSFETは、トレンチの側面にゲート酸化膜を設けトレンチ内にゲート電極を設けた構造となっていて、トレンチの側面をチャネルとして利用する構造となっていること、トレンチはその幅が $1\mu\text{m}$ と極めて狭いこととによって、セルサイズを $10\mu\text{m}$ と小さくすることができるという効果が得られる。

(2) 上記(1)により、本発明のトレンチ型縦型パワーMOSFETは、セルサイズを $10\mu\text{m}$ と小さくできることから、オン抵抗を $2\sim 3\text{m}\Omega$ と小さくすることができるという効果が得られる。

(3) 上記(1)により、本発明のトレンチ型縦型パワーMOSFETは、セルサイズを小型にできることから、縦型パワーMOSFETチップの小型化を達成することができるという効果が得られる。

(4) 上記(1)により、本発明のトレンチ型縦型パワーMOSFETは、セルサイズを小型にできることから、縦型パワーMOSFETの高集積

化膜の耐圧向上、電界集中による耐圧向上により、全体として破壊耐量が向上するという効果が得られる。

(8) 上記(1)～(7)により、本発明によれば、静電破壊耐量が大きくかつオン抵抗の小さい小型の縦型パワーMOSFETを提供することができるという相乗効果が得られる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。たとえば、トレンチの底の部分のゲート酸化膜(絶縁膜)の厚さを厚くする方法としては、トレンチ11の底に直接酸素を打ち込む方法でもよい。

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるトレンチ型縦型パワーMOSFETの製造技術に適用した場合について説明したが、それに限定されるものではなく、このようなトレンチを利用した半

導体装置、たとえば、トレンチキャパシタの製造等に適用できる。

(5) 本発明のトレンチ型縦型パワーMOSFETは、トレンチにゲート酸化膜を設けた構造となっているが、トレンチの底のゲート酸化膜、すなわち、絶縁膜の厚さは、実効的にFET動作させるゲート酸化膜部分の厚さの4倍乃至6倍となっていることから、仮にトレンチの底コーナー部分の絶縁膜の質が悪くても、厚さで補填できるため、所望の真性酸化膜耐圧を得ることができるという効果が得られる。

(6) 上記(5)により、本発明のトレンチ型縦型パワーMOSFETは、トレンチの底のゲート酸化膜の厚さが数千Åと厚くなっていることと、底部の絶縁膜の端がバードベーク構造となっているため、コーナー部分の絶縁膜の厚さが厚く、この結果、電界集中が緩和され耐圧の劣化が起き難くなるという効果が得られる。

(7) 上記(1)および(6)により、本発明のトレンチ型縦型パワーMOSFETは、ゲート酸

化膜の耐圧向上、電界集中による耐圧向上により、全体として破壊耐量が向上するという効果が得られる。

(発明の効果)

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

本発明のトレンチ型縦型パワーMOSFETは、トレンチにゲート酸化膜を介在させてゲート電極を設けた構造となっていることから、セルを小型にすることができるとともに、オン抵抗を小さくできる。また、この縦型パワーMOSFETはセルを小型にすることができるため、パワーMOSFETチップのチップサイズの小型化あるいは高集積度化が達成できる。また、本発明のトレンチ型縦型パワーMOSFETは、トレンチ内壁に設けられたゲート酸化膜の厚さがトレンチ側壁の厚さに比較して4乃至6倍以上と厚くなっていることから、絶縁耐圧が向上するとともに、トレンチ底コーナー部分の電界集中も緩和され全体として絶縁破壊耐量が向上する。

4. 図面の簡単な説明、

第1図は本発明の一実施例による縦型パワーMOSFETの一部を示す斜視図、

第2図は同じく縦型パワーMOSFETの製造工程を示すフローチャート、

第3図は同じく縦型パワーMOSFETのセル部の製造におけるウエハの断面図、

第4図は同じくトレンチが設けられたウエハの断面図、

第5図は同じく二層に絶縁膜が設けられたウエハの断面図、

第6図は同じく上層の絶縁膜が異方向エッチングされた状態を示すウエハの断面図、

第7図は同じくLOCOS法によってトレンチ底の絶縁膜の厚膜化した状態を示すウエハの断面図、

第8図は同じくトレンチの側壁の絶縁膜を除去した状態を示すウエハの断面図、

第9図は同じくゲート酸化膜を形成した状態を示すウエハの断面図、

第10図は同じくポリシリコン膜を形成した状態を示すウエハの断面図、

第11図は同じくゲート電極を形成した状態のウエハの断面図、

第12図は同じくソース電極を形成した状態のウエハの断面図、

第13図は従来の横型パワーMOSFETの要部を示す模式的断面図、

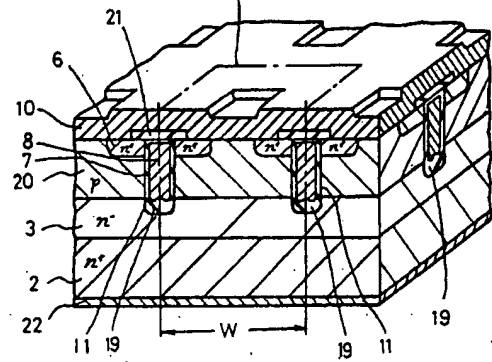
第14図は本発明者の試みたトレンチ型縦型パワーMOSFETのトレンチ底のブレイクダウンを説明する模式図である。

1・・・セル、2・・・半導体基板、3・・・エピタキシャル層、4・・・ウェル領域、5・・・ドレイン表層部、6・・・ソース領域、7・・・ゲート酸化膜、8・・・ゲート電極、9・・・絶縁膜、10・・・ソース電極、11・・・トレンチ、19・・・厚膜絶縁膜、20・・・チャンネル形成層、21・・・絶縁膜、22・・・ドレイン電極、23・・・ウエハ、24・・・絶縁膜、25・・・SiO₂膜、26・・・Si₃N₄膜、

27・・・ポリシリコン膜。

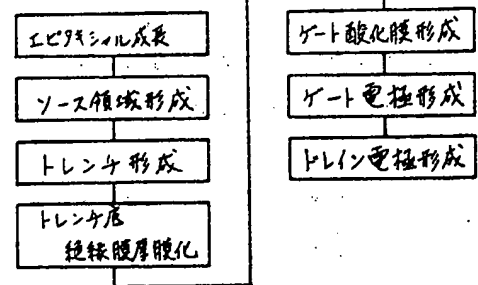
代理人 弁理士 菊田純一

第 1 図

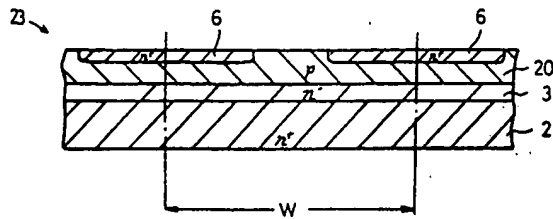


2-半導体基板
6-ソース領域
7-ゲート酸化膜
8-ゲート電極
10-ソース電極
11-トレンチ
19-厚膜絶縁膜
20-チャンネル形成層

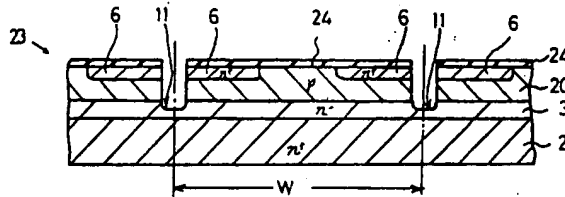
第 2 図



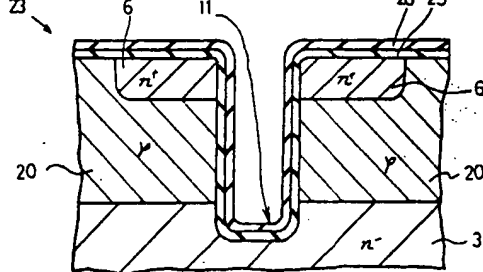
第 3 圖



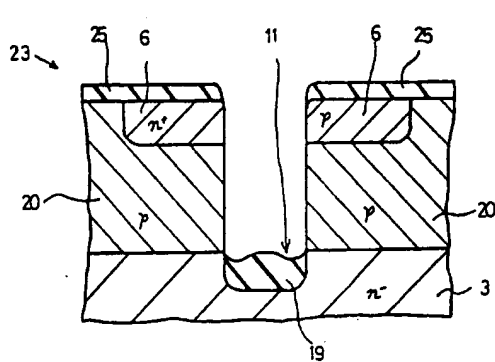
第 4 圖



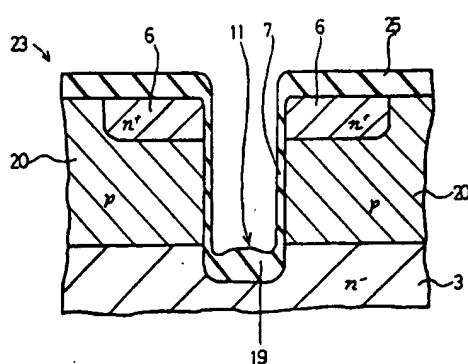
第 5 圖



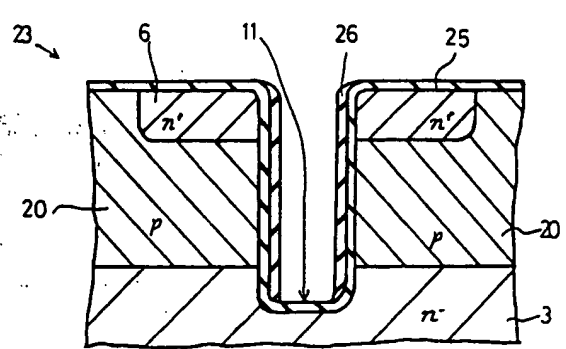
第 8 圖



第 9 圖

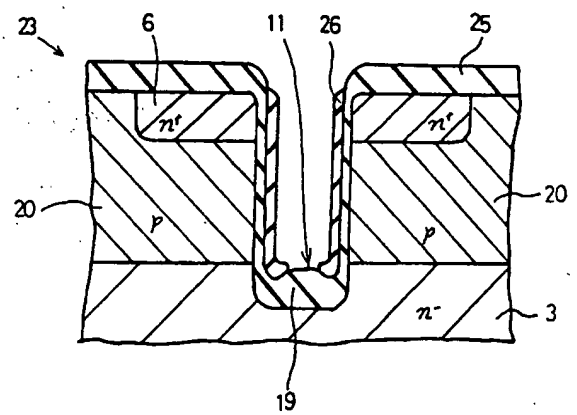


第 6 圖

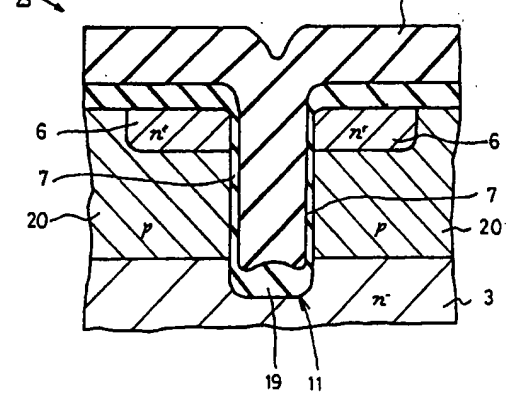


11...比才
19...角膜壁後壁

第 7 圖

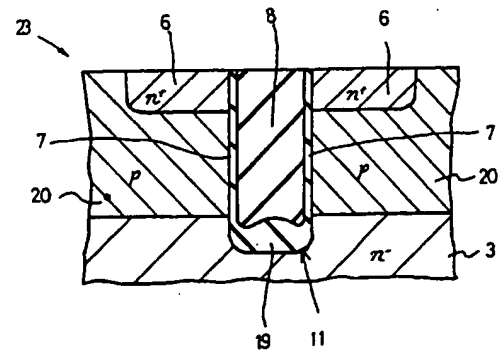


第 10 圖

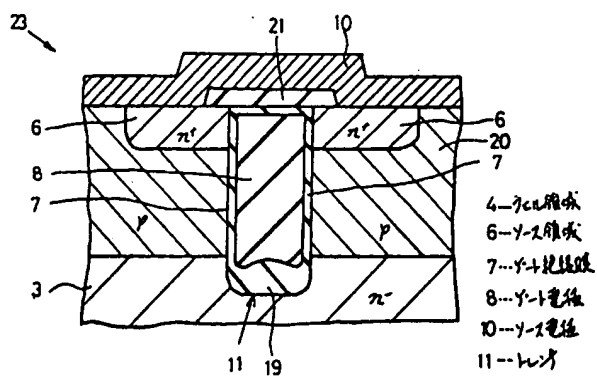


7...γ-氧化膜
8-γ-光阻

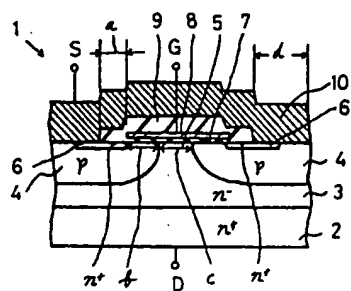
第 11 圖



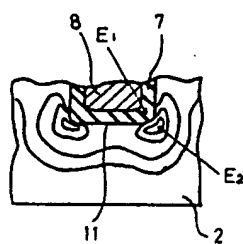
第 12 圖



第 13 図



第 14 圖



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.